



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Off nl ungsschrift
10 DE 198 13 169 A 1

51 Int. Cl.⁶:
H 01 L 27/108

21 Aktenzeichen: 198 13 169.0
22 Anmeldetag: 25. 3. 98
43 Offenlegungstag: 7. 10. 99

DE 198 13 169 A 1

71 Anmelder:
Siemens AG, 80333 München, DE

72 Erfinder:
Owen, Richard, 93049 Regensburg, DE

55 Entgegenhaltungen:
DE 40 38 114 A1
US 49 61 095
US 46 30 088
EP 03 69 122 A1

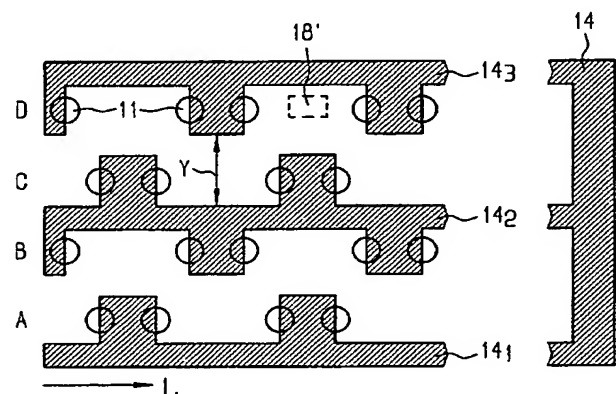
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

Der Inhalt dieser Schrift weicht von den am Anmeldetag eingereichten Unterlagen ab

54 Halbleiterspeicher mit streifenförmiger Zellplatte

57 Bei einer Speicheranordnung mit Speicherzellen, bei der jede Speicherzelle einen Auswahltransistor und einen Grabenkondensator umfaßt, wobei die Speicherlektrode (12) von einem Substratbereich entlang der Grabenwand gebildet wird, und bei der die eine gemeinsame Gegenelektrode mehrerer Speicherzellen bildende Zellplatte (14) im Innern des Grabens gebildet ist, wird die Zellplatte an der Substratoberfläche in Form von Streifen strukturiert. Die Streifen können parallel zur Richtung von Zellreihen laufen oder mit dieser Richtung einen Winkel einschließen. Durch die streifenförmige Anordnung wird die minimale Strukturbreite im Bereich der Zellplatte verdoppelt.



DE 198 13 169 A 1

Für Halbleiterspeicher mit dynamischem wahlfreien Zugang (DRAM-Speicher) gibt es eine Vielzahl von Speicherkonzepten. Generell sind es Ein-Transistor-Speicherzellen, die einen Speicherkondensator zur Speicherung einer logischen Größe und einen zugeordneten Auswahltransistor umfassen, wobei bei Ansteuerung des Auswahltransistors über eine Wortleitung die Information in den Speicherkondensator eingeschrieben bzw. ausgelesen werden kann. Aufgrund der ständig wachsenden Integrationsdichte muß der Platzbedarf der Ein-Transistor-Speicherzelle verringert werden.

Grundsätzlich lassen sich die Zellkonzepte folgendermaßen einteilen:

1. Planare Zellen, bei denen sowohl der Kondensator als auch der Transistor als planare Bauelemente realisiert werden,
2. stacked-capacitor-Zellen, bei denen der Speicherkondensator oberhalb des Transistors angeordnet ist, und
3. Grabenzellen, bei denen der Transistor an der Substratoberfläche und der Kondensator in einem im Substrat angeordneten Graben untergebracht ist und die Speicherelektrode entweder vom Substrat oder von einer isoliert im Graben angeordneten leitenden Schicht gebildet wird.

Eine Grabenzelle, bei der die Speicherelektrode vom Substrat bzw. einem Teil des Substrats gebildet wird, ist in Fig. 5 im Querschnitt dargestellt. In ein Substrat 10 ist ein Graben 11 geätzt, wobei ein Teil des Substrats entlang der Grabeninnenwand durch geeignete Dotierung die Speicherelektrode 12 bildet. Die Grabeninnenwand ist mit einem Kondensatordielektrikum 13 versehen, und der Graben ist mit einer meist aus dotiertem Polysilizium bestehenden Schicht aufgefüllt, die die gemeinsame Gegenelektrode (Zellplatte) einer Vielzahl von Speicherzellen bildet. Der zugeordnete Auswahltransistor weist eine isoliert auf dem Substrat angeordnete Wortleitung 15 und zwei S/D-Gebiete 16, 17 auf, wobei eines (16) mit der Speicherelektrode 12 leitend verbunden ist, und das andere (17) später mit der Bitleitung 18 über einen Bitleitungskontakt 18' kontaktiert wird. Die Speicherzellen sind voneinander durch Isolationsgebiete (z. B. LOCOS oder shallow trench Isolation, nicht dargestellt) isoliert. Die Zellplatte 14 muß strukturiert werden, d. h. an den Stellen auf der Substratoberfläche entfernt werden, an denen der Auswahltransistor gebildet wird. Die dafür eingesetzte Ätzung kann isotrop oder anisotrop sein. In Fig. 6 ist eine Aufsicht auf eine Speichermatrix (einen Ausschnitt aus einem Zellenfeld), d. h. eine Vielzahl von Speicherzellen, mit einer derartig strukturierten Zellplatte 14 (schraffiertes Gebiet) dargestellt.

In dem dargestellten Beispiel sind die Speicherzellen in einer ersten Richtung in einer Reihe angeordnet, benachbarte Reihen sind gegeneinander um eine Zellenlänge versetzt. Jeweils zwei in der ersten Richtung benachbarte Zellen sind spiegelsymmetrisch angeordnet und besitzen einen gemeinsamen Bitleitungs-Kontakt 18', der in der Mitte der freigelegten Substratoberfläche angeordnet wird und der Übersichtlichkeit wegen nur bei einem Zellenpaar angedeutet ist. Grundsätzlich, d. h. auch bei anderen Layouts als dem gezeigten, wird die Zellplatte netzförmig strukturiert, wobei an den Stellen bis auf das Substrat reichende Öffnungen geätzt werden, an denen ein oder mehrere (hier zwei) Transistoren angeordnet werden sollen. Mit anderen Worten, die Löcher sind praktisch deckungsgleich mit dem aktiven Gebiet, und die verbleibende Zellplatte 14 überdeckt im

wesentlichen das Isolationsgebiet zwischen den Speicherzellen. Dabei füllt die Zellplatte den Graben auf und überdeckt den Graben an der Substratoberfläche zumindest teilweise.

- 5 Eine derartige Anordnung läßt sich nicht beliebig verkleinern, da die Zellplatte fototechnisch strukturiert wird, die schmalsten Netzstege also mindestens die Breite F (fototechnisch erzeugbares Minimalmaß) haben müssen, bei einer isotropen Ätzung können sie noch schmaler hergestellt werden. Wenn die Netzstege sehr schmal sind, können sie aufbrechen oder reißen, so daß ein Ausfall der betroffenen Zellen die Folge ist.

Aufgabe der vorliegenden Erfindung ist es, eine Halbleiterspeicheranordnung anzugeben, bei der das erläuterte Problem vermieden wird. Diese Aufgabe wird durch eine Halbleiterspeicheranordnung mit den Merkmalen des Patentanspruchs 1 gelöst. Vorteilhafte Weiterbildungen sind in Unteransprüchen gekennzeichnet.

Bei der erfindungsgemäßen Speicheranordnung wird die Zellplatte nicht netzförmig, sondern in Streifen strukturiert. Die Zellplatte umfaßt also mehrere Zellplattenstreifen, die nebeneinander über das Zellenfeld verlaufen und lediglich ganz am Rand oder außerhalb des Zellenfeldes – also in einem Gebiet, in dem keine Speicherzellen liegen – miteinander verbunden sind. Zwischen den Streifen liegen die nicht von der Zellplatte überdeckten Gebiete ebenfalls streifenförmig vor. In den nicht überdeckten Gebieten werden die Transistoren gebildet. Auch Teile des Isolationsgebietes zwischen Speicherzellen (LOCOS- oder STI-Isolation) liegen in den freien Streifen.

Die bei der konventionellen Anordnung (Fig. 6) auftretenden schmalen Stege fallen weg bzw. können doppelt so breit sein, die Anzahl dieser Stege wird halbiert. Die Zelle kann also weiter verkleinert werden, da die auftretende Minimalstruktur doppelt so breit ist wie bei der konventionellen Anordnung.

Die Richtung der Zellplattenstreifen kann mit einer ersten Richtung, in der Reihen von Speicherzellen angeordnet sind, zusammenfallen. Dann verbindet ein Plattenstreifen die Speicherzellen von zwei benachbarten Zellreihen, in dem er diese beiden Zellreihen doppelkaminartig überdeckt. Dabei werden die Kondensatorgräben zumindest teilweise überdeckt, während die Transistorbereiche frei bleiben. Der benachbarte Zellplattenstreifen verbindet die Speicherkondensatoren einer dritten und vierten Zellreihe, zwischen den Zellplattenstreifen befindet sich ein durchgehender freier Streifen.

Wenn bei dieser Anordnung zwei Bruchstellen oder ähnliche Fehler in demselben Zellplattenstreifen auftreten, fallen die dazwischen liegenden Zellen aus. Ein derartiger Fehler kann aber leicht mit Hilfe von redundanten Zellen repariert werden, da lediglich die Zellen zweier Bitleitungen betroffen sind. Mit den redundanten Zellen müssen also quasi einfach zwei Bitleitungen ersetzt werden und nicht eine Vielzahl verschiedener Kombinationen von Bit- und Wortleitungen.

Die Richtung der Zellplattenstreifen kann auch mit der ersten Richtung der Zellreihen einen Winkel einschließen. Ein Zellplattenstreifen verbindet dann Speicherzellen von mehr als zwei Zellreihen, nämlich von allen Zellreihen, die er überkreuzt. In jeder überkreuzten Zellreihe kann er, je nach Layout der Speicherzellen, einen oder mehrere Kondensatoren anschließen. Vorteil dieses Konzepts ist eine ggf. größere Packungsdichte.

Die Erfindung ist grundsätzlich bei allen Layouts von DRAMs des genannten Zellkonzepts (Grabenzelle mit im Graben angeordneter Zellplatte) anwendbar, insbesondere bei einem anderen Versatz der Zellreihen gegeneinander

oder bei nicht spiegelsymmetrisch angeordneten Gräben bzw. Zellen.

Die Erfindung wird im folgenden anhand von Ausführungsbeispielen, die in den Zeichnungen dargestellt sind, näher erläutert. Es zeigen:

Fig. 1 eine Aufsicht auf einen Ausschnitt eines Zellenfeldes mit einer Zellplatte gemäß eines ersten Ausführungsbeispiels,

Fig. 2 bis 4 weitere Ausführungsbeispiele,

Fig. 5 einen Querschnitt durch eine Speicherzelle mit einer im Graben angeordneten Zellplatte, und

Fig. 6 eine Aufsicht auf einen Ausschnitt eines Zellenfeldes mit einer konventionellen Zellplatte.

Fig. 1: Obwohl allgemein anwendbar, wird die Erfindung an einem Zell-Layout mit in Reihen angeordneten Speicherzellen, wobei in einer Reihe jeweils zwei benachbarte Zellen spiegelsymmetrisch angeordnet sind, und mit einem Versatz von einer Zellenlänge/Zellreihe beschrieben.

Der Zellenfeld-Ausschnitt zeigt in der ersten Richtung verlaufende Zellreihen, die mit A bis D bezeichnet sind. Jeweils zwei benachbarte Zellen in einer Reihe besitzen einen gemeinsamen Bitleitungskontakt 18', der der besseren Übersichtlichkeit wegen nur einmal in der Reihe D angedeutet ist. Entsprechend liegen auch jeweils zwei Gräben nebeneinander, die im Substrat in geeigneter Weise durch eine ausreichend hohe Dotierung gegeneinander dotiert sind. Benachbarte Zellreihen sind ebenfalls gegeneinander isoliert (beispielsweise durch eine Shallow-Trench-Isolation). Die Zellplatte ist in Form von Streifen strukturiert, die in der ersten Richtung verlaufen. Ein Zellplattenstreifen 14₂ verbindet die Kondensatorelektroden der Zellen in zwei benachbarten Reihen, hier der Reihen B und C, während ein daneben liegender Streifen 14₃ die Zellen der Reihe D (und einer weiteren Reihe außerhalb des dargestellten Ausschnitts) anschließt. Ein Zellplattenstreifen umfaßt eine Zentrallinie, die in der ersten Richtung zwischen den angeschlossenen Zellreihen verläuft, und weist Ausbuchtungen auf, die die angeschlossenen Kondensatorgräben zumindest teilweise überdeckt. Ein Zellplattenstreifen hat also eine doppelkammförmige Struktur. Die Zentrallinie kann doppelt so breit sein wie ein Steg bei der bekannten Anordnung, ohne daß der für die weitere Schaltung zur Verfügung stehende Raum – insbesondere die Breite Y des zellplattenfreien Raums – verringert wird. Benachbarte Zellplattenstreifen 14₂, 14₃ sind aufgrund der Doppelkammform durch einen freien Streifen voneinander getrennt.

In der rechten Bildhälfte ist ein Ausschnitt der Schaltung neben dem Zellenfeld dargestellt. Hier ist die Zellplatte durchgehend, so daß alle Plattenstreifen 14_i leitend miteinander verbunden sind. Eine derartige Verbindung ist vorzugsweise auf beiden Seiten des Zellenfeldes vorgesehen. Je nach Anordnung der Speicherzellen am Rand des Zellenfeldes kann die Verbindung der Zellplattenstreifen auch im Randbereich des Zellenfeldes selbst erfolgen.

Fig. 2 zeigt eine Variante des erläuterten Ausführungsbeispiels, bei der die Fläche der Zellplatte 14 bzw. der Zellplattenstreifen 14_i reduziert wurde, indem auf elektrisch nicht wirksame Flächen verzichtet wurde. Die freien, von der Zellplatte 14 nicht bedeckten Gebiete werden dadurch vergrößert, insbesondere die Breite Y. Die vergrößerten freien Gebiete erhöhen den Spielraum bei der Anordnung der weiteren Speicherzellstrukturen in den höheren Ebenen, beispielsweise des Bitleitungskontaktes.

Fig. 3: In dieser Ausführungsform verlaufen die Zellplattenstreifen 14_i nicht in Richtung der Zellreihen, sondern schließen einen Winkel α mit dieser Richtung ein. Jeder Zellplattenstreifen verläuft also über eine Folge von Zellreihen und schließt in jeder Zellreihe mindestens einen – hier

zwei – Kondensator an. In diesem Fall hat ein Zellplattenstreifen eine treppenartige Form, die insbesondere dadurch bedingt ist, daß das aktive Gebiet für die späteren Verfahrensschritte (Implantationen, Kontakte . . .) freibleiben muß.

Die im wesentlichen parallel zueinander verlaufenden Zellplattenstreifen sind wiederum am Rand des Zellenfeldes miteinander verbunden. Auch in diesem Beispiel können die Zellplattenstreifen noch weiter minimiert werden durch Weglassen elektrisch nicht wirksamer Teile.

Fig. 4: zeigt eine abgewandelte Ausführungsform zu **Fig. 3**, bei der ebenfalls die Zellplattenstreifen 14_i nicht in Richtung der Zellreihen verlaufen, sondern einen Winkel α mit dieser Richtung einschließen. Dabei wurde die Fläche der Zellplattenstreifen 14_i verringert, so daß die treppenförmige Anordnung in schräge Streifen übergeht. Die Richtung der Zellreihen kann entweder wie in den bisherigen Beispielen sein (also in der Zeichnung horizontal verlaufen). Andererseits kann die Zellreihenrichtung auch wie in der Figur dargestellt verlaufen (also in der Zeichnung schräg und annähernd vertikal); auch mit dieser ersten Richtung schließen die Zellplattenstreifen einen Winkel α ein. Der dargestellte Bitleitungskontakt 18' ist dann den mit Z1, Z2 gekennzeichneten Zellen bzw. Gräben zugeordnet, und das aktive Gebiet verläuft jeweils zwischen Gräben und Bitleitungskontakt. Mit einer solchen Anordnung kann ggf. eine höhere Packungsdichte der Zellen erreicht werden: in der Figur ist erkennbar, daß die in der 1. Richtung benachbarten Gräben mit gemeinsamem Bitleitungskontakt einen größeren Abstand aufweisen als die in (im Sinne der Figur) horizontal benachbarten Gräben. In der ersten Richtung kann das Raster daher noch verkleinert werden. Die Wortleitungen, die bei dem gezeigten Layout vorzugsweise (im Sinne der Figur) horizontal verlaufen, können also mit noch geringerem Abstand verlegt werden. Inwieweit der Platzbedarf reduziert werden kann, hängt im Einzelfall vor allem davon ab, welche Maße – insbesondere die Abstände Bitleitungskontakt zu Gräben und Gate zu Gräben – am kritischsten sind.

Durch die Streifenstruktur der Zellplatte wird der Widerstand größer. Dies stellt jedoch im allgemeinen keine Beeinträchtigung der elektrischen Funktionen dar.

Für die Herstellung der Halbleiterspeicheranordnung können dem Fachmann geläufige Verfahren eingesetzt werden. Die Zellplatte wird vorzugsweise durch ganzflächige Abscheidung von dotiertem Polysilizium und isotrope oder anisotrope Ätzung unter Einsatz einer Fotomaske hergestellt, wobei erfindungsgemäß die Fotolackschicht streifenförmige Gebiete als spätere Zellplattenstreifen abdeckt.

Patentansprüche

1. Halbleiterspeicheranordnung mit Speicherzellen in einem Substrat (10)

– bei der jede Speicherzelle einen Auswahltransistor (15, 16, 17) und einen Grabenkondensator (12, 13, 14) umfaßt, wobei die Speicherelektrode (12) von einem Substratbereich entlang der Grabenwand gebildet wird,

– bei der eine die gemeinsame Gegenelektrode mehrerer Speicherzellen bildende Zellplatte (14) aus einer leitenden Schicht im Innern des Grabens (11) gebildet ist,

dadurch gekennzeichnet, daß die Zellplatte (14) an der Substratoberfläche eine streifenförmige Struktur (14_i) aufweist.

2. Speicheranordnung nach Anspruch 1, bei der die Speicherzellen in Reihen (A, B, C, D) entlang einer ersten Richtung angeordnet sind, die Zellplattenstreifen (14_i) in der ersten Richtung verlaufen und ein Zellplat-

tenstreifen die Kondensatoren von zwei benachbarten Zellreihen anschließt.

3. Speicheranordnung nach Anspruch 1, bei der die Speicherzellen in Reihen (A, B, C, D) entlang einer ersten Richtung angeordnet sind und die Zellplattenstreifen (14) mit der ersten Richtung einen Winkel (α) einschließen. 5

4. Speicheranordnung nach einem der Ansprüche 1 bis 3, bei der in jeder Zellreihe (A–D) jeweils zwei benachbarte Speicherzellen spiegelsymmetrisch zueinander angeordnet sind und benachbarte Zellreihen um die Länge einer Speicherzelle gegeneinander versetzt sind. 10

5. Speicheranordnung nach einem der Ansprüche 1 bis 4, bei der die Zellplattenstreifen (14) im Randbereich oder außerhalb des Zellenfeldes leitend miteinander verbunden sind. 15

Hierzu 3 Seite(n) Zeichnungen

20

25

30

35

40

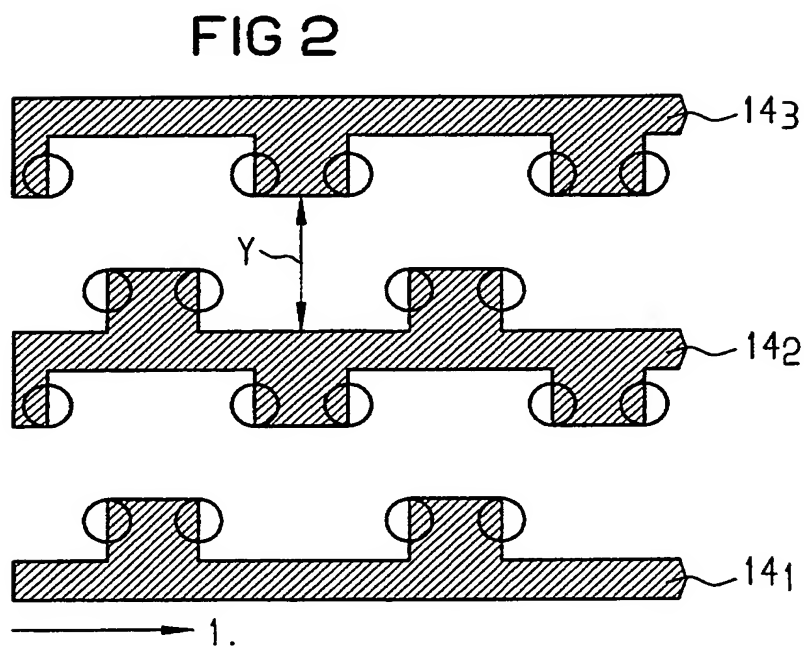
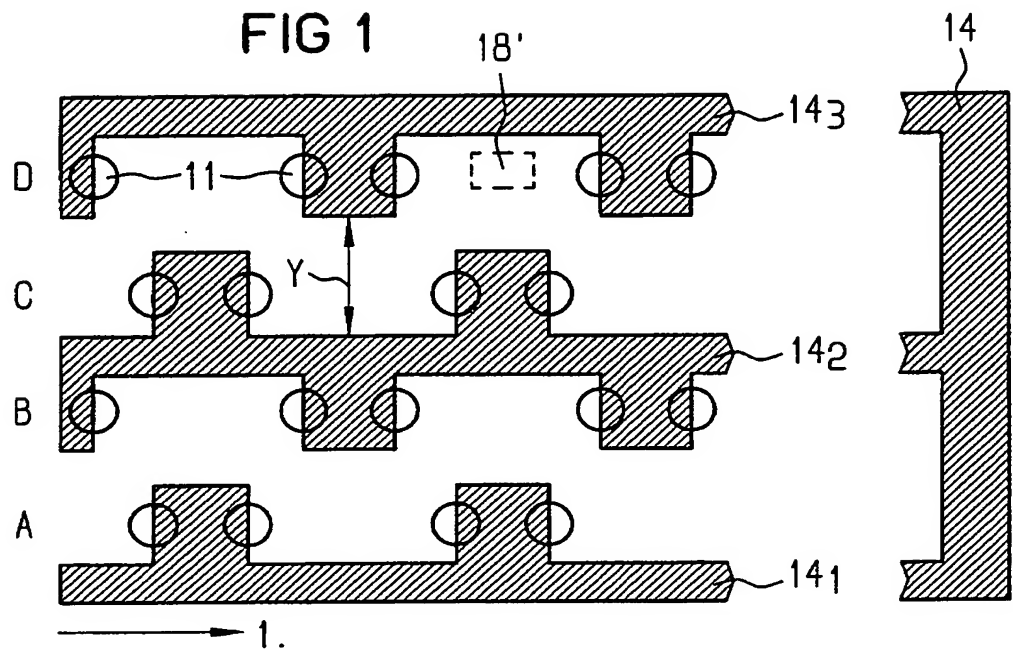
45

50

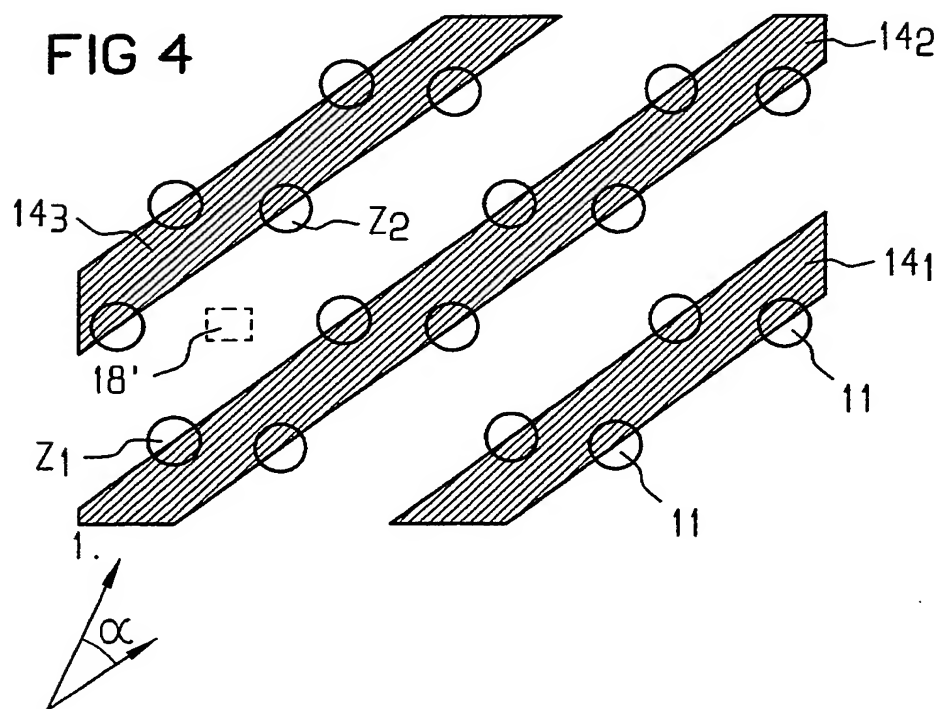
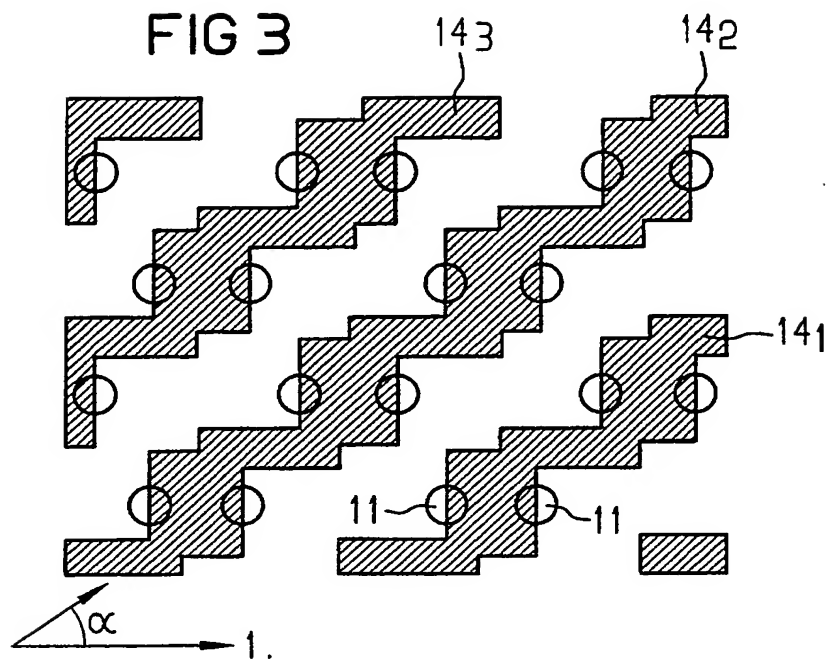
55

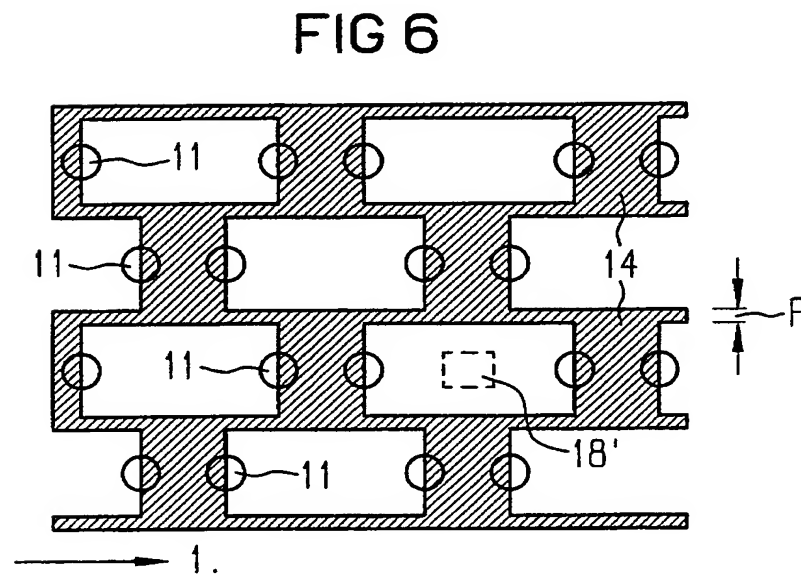
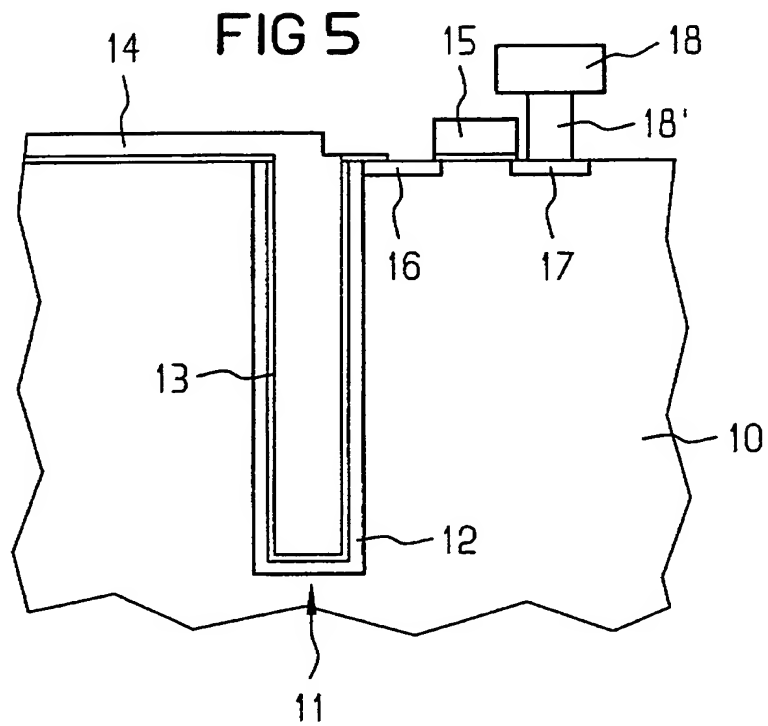
60

65



- Leerseite -





Semiconductor memory with a strip-shaped cell plate

Patent Number: US6388283
Publication date: 2002-05-14
Inventor(s): OWEN RICHARD (DE)
Applicant(s): INFINEON TECHNOLOGIES AG (DE)
Requested Patent: DE19813169
Application Number: US19990275834 19990325
Priority Number(s): DE19981013169 19980325
IPC Classification: H01L21/108; H01L29/94; H01L31/119
EC Classification: H01L27/108F8
Equivalents: EP0945903, A3, TW415085

Abstract

The memory configuration has memory cells each with a selection transistor and a trench capacitor. The storage electrode is formed by a substrate region along the trench wall. A cell plate that forms a common opposing electrode for a number of memory cells lies inside the trench. The cell plate is structured in strips on the surface of the substrate. The strips can run parallel to the direction of cell rows or enclose a defined angle (other than zero) with this direction. The arrangement in the form of strips halves the minimum structure width in the region of the cell plate

Data supplied from the esp@cenet database - I2

DOCKET NO: W&B-INF-1986

SERIAL NO: _____

APPLICANT: Peter Beer

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100